

1/5/5 (Item 5 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

013688619 **Image available**
WPI Acc No: 2001-172843/ 200118
XRAM Acc No: C01-052354
XRPX Acc No: N01-124951

Semiconductor device manufacture e.g. CMOS-LSI, involves forming silicon oxide and silicon nitride film on substrate, by heat treating them in atmosphere containing silicon and halogen, and silicon and ammonia

Patent Assignee: FUJITSU LTD (FUJIT)
Number of Countries: 001 Number of Patents: 001
Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|---------------|------|----------|-------------|------|----------|----------|
| JP 2000349287 | A | 20001215 | JP 99160936 | A | 19990608 | 200118 B |

Priority Applications (No Type Date): JP 99160936 A 19990608

Patent Details:
Patent No Kind Lan Pg Main IPC Filing Notes
JP 2000349287 A 13 H01L-029/78

Abstract (Basic): JP 2000349287 A

NOVELTY - The silicon oxide film (22) formed on the silicon substrate (10) is heat treated in the atmosphere containing silicon and halogen. The gate insulating film (16) containing the silicon nitride film (24) is formed on the silicon oxide film and heat treated in an atmosphere containing silicon and ammonia.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device.

USE - For manufacturing semiconductor device e.g. super high speed CMOS-LSI.

ADVANTAGE - Low voltage transistors of favorable electrical property is obtained by forming thin and uniform gate insulating film comprising silicon oxide and nitride films.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor device.

Silicon substrate (10)
Gate insulating film (16)
Silicon oxide film (22)
Silicon nitride film (24)
pp; 13 DwgNo 1/14

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; CMOS; LSI; FORMING;
SILICON; OXIDE; SILICON; NITRIDE; FILM; SUBSTRATE; HEAT; TREAT;
ATMOSPHERE; CONTAIN; SILICON; HALOGEN; SILICON; AMMONIA

Derwent Class: L03; U11; U12; U13

International Patent Class (Main): H01L-029/78

International Patent Class (Additional): H01L-021/318; H01L-021/8234;
H01L-027/088

File Segment: CPI; EPI

【特許請求の範囲】

【請求項1】 シリコン窒化膜を含む第1のゲート絶縁膜を有する半導体装置の製造方法であって、シリコン基板上にシリコン酸化膜を形成する工程と、シリコンとハロゲンとを含む分子を含む雰囲気中で、前記シリコン酸化膜を熱処理する工程と、 NH_3 を含む雰囲気中で、前記シリコン酸化膜を熱処理する工程と、シリコンを含むガスと NH_3 とを原料として、前記シリコン酸化膜上にシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 酸化タンタル膜と前記酸化タンタル膜上に形成されたシリコン窒化膜とを含む第1のゲート絶縁膜を有する半導体装置の製造方法であって、シリコン基板上にシリコン酸化膜又はシリコン窒化酸化膜より成る第1の膜を形成する工程と、前記第1の膜上に、酸化タンタル膜を形成する工程と、シリコンとハロゲンとを含む分子を含む雰囲気中で、前記第1の膜を熱処理する工程と、 NH_3 を含む雰囲気中で、前記第1の膜を熱処理する工程と、シリコンを含むガスと NH_3 とを原料として、前記第1の膜上にシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、前記シリコン窒化膜を形成する工程後に、第1の領域の前記第1のゲート絶縁膜をエッチングする工程と、前記シリコン基板を酸化し、前記シリコン基板の前記第1の領域に、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を形成する工程とを更に有することを特徴とする半導体装置の製造方法。

【請求項4】 シリコン酸化膜と前記シリコン酸化膜上に形成されたシリコン窒化膜とを含む第1のゲート絶縁膜を有する第1のトランジスタと、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を有する第2のトランジスタとを有することを特徴とする半導体装置。

【請求項5】 シリコン酸化膜と、前記シリコン酸化膜上に形成された酸化タンタル膜と、前記酸化タンタル膜上に形成されたシリコン窒化膜とを含む第1のゲート絶縁膜を有する第1のトランジスタと、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を有する第2のトランジスタとを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に比誘電率の高い材料をゲート絶縁膜を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】超高速CMOS-LSIにおいては、高集積化、高速化が要求され、トランジスタの微細化と高駆動能力化が求められている。トランジスタを微細化するためには、膜厚の薄い良質なゲート絶縁膜を形成することが必要である。

【0003】しかし、従来から広く用いられているシリコン酸化膜を単に薄く形成した場合には、ゲートリーク電流が増加し、消費電流も大きくなってしまふ。また、ゲート絶縁膜を薄く形成した場合には、ゲート絶縁膜としての機能を確保すべく、比誘電率の高い膜を用いることが望ましい。

【0004】そこで、比誘電率の高い絶縁膜であるシリコン窒化膜や酸化タンタル膜等をゲート絶縁膜として用いることが提案されている。

【0005】

【発明が解決しようとする課題】しかしながら、シリコン窒化膜を用いた場合には、シリコン基板とシリコン窒化膜との界面が劣化してしまうこととなる。予め薄いシリコン酸化膜をシリコン基板上に形成し、そのシリコン酸化膜上にシリコン窒化膜を形成することも考えられるが、薄いシリコン窒化膜をCVD法等によって形成するのは困難である。予め薄いシリコン酸化膜をシリコン基板上に形成しておき、 NH_3 を含む雰囲気中で処理を行えば、シリコン窒化膜を形成することはできるが、この場合には、シリコン酸化膜とシリコン基板との間の界面に過剰な窒素や水素が導入されてしまふ。従って、シリコン窒化膜をゲート絶縁膜として用いて良好な電気的特性を有するトランジスタを形成することは困難であった。

【0006】一方、酸化タンタル膜を用いた場合には、シリコン基板と酸化タンタル膜とが反応してしまうこととなる。また、酸化タンタル膜より成るゲート絶縁膜上に、ポリシリコン膜より成るゲート電極を形成した場合には、酸化タンタル膜とポリシリコンとが反応してしまう。酸化タンタル膜と反応しにくいTiN膜をゲート電極に用いることも考えられるが、TiN膜を用いるとp形のトランジスタとn形のトランジスタとのしきい値電圧 V_{th} を対称に制御することが困難となる。このように、酸化タンタル膜をゲート絶縁膜として用いて良好な電気的特性を有するトランジスタを形成するのは困難であった。

【0007】また、高電圧用のトランジスタと低電圧用のトランジスタの両者が形成された半導体装置では、高電圧用のトランジスタのためのゲート絶縁膜を形成した後に、低電圧用のトランジスタが形成される領域のゲート絶縁膜を除去し、この後、更に低電圧用のトランジスタのゲート絶縁膜を形成していた。この場合、単に上記のような方法で低電圧用のトランジスタのゲート絶縁膜を形成すると、高電圧用のトランジスタのゲート絶縁膜

の電気的特性が劣化してしまっていた。このため、高電圧用のトランジスタのゲート絶縁膜の電気的特性を劣化することなく、高電圧用のトランジスタと低電圧用のトランジスタとを併有する半導体装置を製造する技術が要望されていた。

【0008】本発明の目的は、比誘電率の高いゲート絶縁膜が薄く、しかも均一に形成された半導体装置及びその製造方法を提供することにある。

【0009】また、本発明の他の目的は、異なる構造のゲート絶縁膜を併有する半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的は、シリコン窒化膜を含む第1のゲート絶縁膜を有する半導体装置の製造方法であって、シリコン基板上にシリコン酸化膜を形成する工程と、シリコンとハロゲンとを含む分子を含む雰囲気中で、前記シリコン酸化膜を熱処理する工程と、 NH_3 を含む雰囲気中で、前記シリコン酸化膜を熱処理する工程と、シリコンを含むガスと NH_3 とを原料として、前記シリコン酸化膜上にシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、シリコン酸化膜を形成した後に、上記のような処理を行って、薄くて均一なシリコン窒化膜を形成するので、比誘電率が高く、薄くて均一なゲート絶縁膜を形成することができる。

【0011】また、上記目的は、酸化タンタル膜と前記酸化タンタル膜上に形成されたシリコン窒化膜とを含む第1のゲート絶縁膜を有する半導体装置の製造方法であって、シリコン基板上にシリコン酸化膜又はシリコン窒化酸化膜より成る第1の膜を形成する工程と、前記第1の膜上に、酸化タンタル膜を形成する工程と、シリコンとハロゲンとを含む分子を含む雰囲気中で、前記第1の膜を熱処理する工程と、 NH_3 を含む雰囲気中で、前記第1の膜を熱処理する工程と、シリコンを含むガスと NH_3 とを原料として、前記第1の膜上にシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、シリコン酸化膜と酸化タンタル膜とを形成した後に、上記のような処理を行って、薄くて均一なシリコン窒化膜を形成するので、比誘電率が高く、薄くて均一なゲート絶縁膜を形成することができる。

【0012】また、上記の半導体装置の製造方法において、前記シリコン窒化膜を形成する工程後に、第1の領域の前記第1のゲート絶縁膜をエッチングする工程と、前記シリコン基板を酸化し、前記シリコン基板の前記第1の領域に、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を形成する工程とを更に有することが望ましい。

【0013】また、上記目的は、シリコン酸化膜と前記シリコン酸化膜上に形成されたシリコン窒化膜とを含む

第1のゲート絶縁膜を有する第1のトランジスタと、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を有する第2のトランジスタとを有することを特徴とする半導体装置により達成される。これにより、異なる構造のゲート絶縁膜を用いて、良好な電気的特性を有する第1のトランジスタと第2のトランジスタとを有する半導体装置を提供することができる。

【0014】また、上記目的は、シリコン酸化膜と、前記シリコン酸化膜上に形成された酸化タンタル膜と、前記酸化タンタル膜上に形成されたシリコン窒化膜とを含む第1のゲート絶縁膜を有する第1のトランジスタと、前記第1のゲート絶縁膜と異なる構造の第2のゲート絶縁膜を有する第2のトランジスタとを有することを特徴とする半導体装置により達成される。これにより、異なる構造のゲート絶縁膜を用いて、良好な電気的特性を有する第1のトランジスタと第2のトランジスタとを有する半導体装置を提供することができる。

【0015】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図9を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。図2乃至図7は、本実施形態による半導体装置の製造方法を示す工程断面図である。図8及び図9は、ゲート絶縁膜を形成する際の膜の表面状態を示す概念図である。

【0016】（半導体装置）まず、本実施形態による半導体装置を図1を用いて説明する。

【0017】図1に示すように、シリコン基板10には、素子領域を画定する素子分離領域12が形成されている。

【0018】素子分離領域12により画定された素子領域14のシリコン基板10上には、ゲート絶縁膜16、18が形成されている。本実施形態による半導体装置は、低電圧用のトランジスタ20のゲート絶縁膜16が、薄い膜厚のシリコン酸化膜22と薄い膜厚のシリコン窒化膜24とにより構成されており、高電圧用のトランジスタ26のゲート絶縁膜18が、ゲート絶縁膜16の酸化膜換算膜厚より厚く構成されていることに主な特徴がある。

【0019】本実施形態による半導体装置では、低電圧用のトランジスタ20のゲート絶縁膜16として、薄く均一に形成された比誘電率の高いシリコン窒化膜24が用いられている。しかも、シリコン窒化膜24は後述する方法により薄く形成されたシリコン酸化膜22上に形成されているので、シリコン基板10とシリコン窒化膜24とが反応してしまうのを抑制することができる。本実施形態によれば、比誘電率の高いゲート絶縁膜16を薄くて均一に形成することができるので、良好な電気的特性の低電圧用のトランジスタ20が得られる。

【0020】また、本実施形態による半導体装置では、

高電圧用のトランジスタ26のゲート絶縁膜18には、低電圧用のトランジスタ20のゲート絶縁膜16と異なる構造のシリコン酸化膜が用いられている。高電圧用のトランジスタ26のゲート絶縁膜18に用いられているシリコン酸化膜は、高耐圧を実現すべくゲート絶縁膜16の酸化膜換算膜厚より厚く形成されているので、良好な電気的特性の高電圧用のトランジスタ26も得られる。

【0021】ゲート絶縁膜16、18上にはポリシリコン膜より成るゲート電極30a、30bがそれぞれ形成されており、シリコン基板10にはゲート電極30a、30bに自己整合で低濃度領域32aが形成されている。ゲート電極30a、30bの側面にはシリコン酸化膜より成るサイドウォール絶縁膜28が形成されており、シリコン基板10にはサイドウォール絶縁膜28が形成されたゲート電極30a、30bに自己整合で高濃度領域32bが形成されている。低濃度領域32a及び高濃度領域32bにより、LDD構造のソース/ドレイン拡散層32が構成されている。

【0022】ゲート電極30a、30b上には、コバルトシリサイド膜より成るシリサイド電極34が形成されており、ソース/ドレイン拡散層32上には、コバルトシリサイド膜より成るソース/ドレイン電極36が形成されている。

【0023】このようなトランジスタ20、26が形成されたシリコン基板10上には、全面に層間絶縁膜38が形成されている。層間絶縁膜38には、ソース/ドレイン電極36に達するコンタクトホール40が形成されており、コンタクトホール40内には、導体プラグ42が埋め込まれている。こうして、本実施形態による半導体装置が構成されている。

【0024】このように本実施形態によれば、低電圧用のトランジスタのゲート絶縁膜として、シリコン酸化膜とシリコン窒化膜とを有する薄くて均一なゲート絶縁膜が用いられているので、良好な電気的特性の低電圧用のトランジスタを実現することができる。また、高電圧用のトランジスタのゲート絶縁膜として、厚いゲート絶縁膜が用いられているので、高い耐圧を実現することができる。従って、低電圧用のトランジスタと高電圧用のトランジスタとを併有する半導体装置であっても良好な電気的特性を実現することができる。

【0025】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図2乃至図9を用いて説明する。

【0026】まず、図2(a)に示すように、熱酸化法により、p形の(100)のシリコン基板10上に、シリコン酸化膜44を形成する。次に、CVD法により、シリコン酸化膜44上に、シリコン窒化膜46を形成する。

【0027】次に、フォトリソグラフィ技術を用いて、

シリコン窒化膜46、シリコン酸化膜44、及びシリコン基板10をエッチングし、シリコン基板10に素子分離領域12を形成するための溝48を形成する(図2(b)参照)。

【0028】次に、シリコン基板10の溝48内に、熱酸化法により、シリコン酸化膜(図示せず)を形成する。この後、全面に、CVD法により、シリコン酸化膜50を形成する。これにより、溝48内にシリコン酸化膜50が埋め込まれる(図2(b)参照)。

【0029】次に、CMP法により、シリコン窒化膜46の表面が露出するまで、シリコン酸化膜50を研磨する。この後、燐酸ボイルにより、シリコン窒化膜46をエッチングする。次に、希釈フッ酸より成るエッチング液を用い、シリコン酸化膜44をエッチングする。このようにして、素子分離領域12により素子領域14が画定されたシリコン基板10が形成される(図3(a)参照)。

【0030】次に、全面に、犠牲酸化膜(図示せず)を形成する。

【0031】次に、犠牲酸化膜を除去し、この後、ゲート絶縁膜16を形成する。本実施形態による半導体装置の製造方法は、ゲート絶縁膜16の形成方法に特徴があり、かかるゲート絶縁膜16は以下のようにして形成することができる。

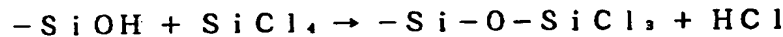
【0032】まず、図3(b)に示すように、シリコン基板10の表面に、膜厚0.6nm~1nmのシリコン酸化膜22を形成する。成膜条件は、例えば、NOとN₂とを含む雰囲気を用い、成膜温度は例えば800℃とする。こうしてシリコン酸化膜22を形成した場合には、シリコン酸化膜22の表面は、図8(a)に示すように-SiOHで終端されている。このようなシリコン酸化膜22上に単にシリコン窒化膜を形成した場合には、薄くて均一なシリコン窒化膜を形成することは困難である。従って、本実施形態では、以下のようにして、シリコン酸化膜22上に薄くて均一なシリコン窒化膜24を形成する。

【0033】即ち、次に、シリコンとハロゲンとを含む分子を含む雰囲気中で、熱処理を行う。シリコンとハロゲンとを含む分子としては、例えばSiCl₄を用いる。なお、シリコンとハロゲンとを含む分子は、SiCl₄に限定されるものではなく、例えばSiHCl₃、SiH₂Cl₂、SiF₄等を適宜用いることができる。また、反応速度を制御するため、シリコンとハロゲンとを含む分子を含む雰囲気中に希ガスを加えることにより希釈してもよい。

【0034】熱処理条件は、例えば450℃とする。なお、熱処理温度は450℃に限定されるものではなく、例えば400℃~800℃の範囲で適宜設定することができ、望ましくは400℃~500℃とすることができる。このような熱処理を行うと、まず、第1ステップと

して、

【0035】

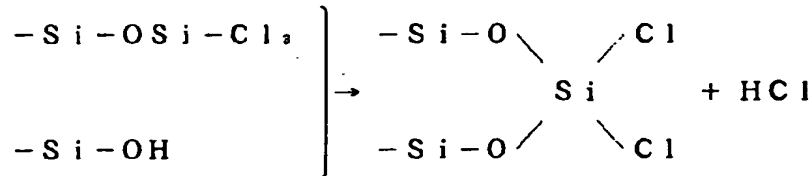


【0036】となる反応が生じ、この後、第2ステップとして、

【化1】

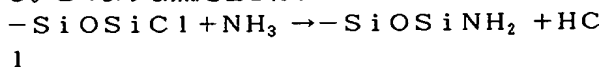
【0037】

【化2】



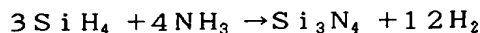
【0038】となる反応が生じ、膜の表面は $-\text{SiOSiCl}$ で終端される（図8（b）参照）。

【0039】次に、 NH_3 を含む雰囲気中で、熱処理を行う。熱処理条件は、例えば 450°C とする。なお、熱処理温度は 450°C に限定されるものではなく、例えば $400^\circ\text{C} \sim 800^\circ\text{C}$ の範囲で適宜設定することができる。このような熱処理を行うと、



となる反応が生じ、膜の表面は SiOSiNH_2 で終端される（図9（a）参照）。これにより、膜の表面にNが存在することとなるため、このNが後工程でシリコン窒化膜24を形成する際の種となる。

【0040】次に、CVD法により、シリコンを含むガスと NH_3 とを含む雰囲気中で、膜厚3 nmのシリコン窒化膜24を形成する。シリコンを含むガスとしては、例えば SiCl_4 を用いる。なお、シリコンを含むガスは、 SiCl_4 に限定されるものではなく、例えば、 SiHCl_3 、 SiH_2Cl_2 、 SiH_4 、 Si_2H_6 等を適宜用いることができる。また、反応速度を制御するため、シリコンを含むガスと NH_3 とを含む雰囲気中に適宜希ガスを加えることにより希釈してもよい。成膜温度は、例えば 700°C とすることができる。なお、成膜温度は 700°C に限定されるものではなく、所望のシリコン窒化膜24を形成すべく適宜設定することができる。このようにして成膜すると、



となる反応が生じ、シリコン窒化膜24が形成される。

【0041】こうして、シリコン酸化膜22とシリコン窒化膜24とより成る低電圧用のトランジスタ20のゲート絶縁膜16が形成される（図3（c）参照）。

【0042】次に、全面に、CVD法により、膜厚10 nmのシリコン酸化膜52を形成する（図4（a）参照）。

【0043】次に、全面に、フォトリソグラフ技術を用い、フォトリソグラフ膜をパターニングする。これにより、高電圧用トランジスタ26が形成される領域に開口部54が形成されたフォトリソマスク56が形成される。この後、

希釈フッ酸より成るエッチング液を用い、フォトリソマスク56をマスクとし、シリコン窒化膜24をエッチングストップパとして、シリコン酸化膜52をエッチングする（図4（b）参照）。

【0044】次に、フォトリソマスク56を除去する。この後、燐酸ボイルにより、シリコン酸化膜52をマスクとして、シリコン窒化膜24をエッチングする（図4（c）参照）。

【0045】次に、シリコン窒化膜24をマスクとして、希釈フッ酸より成るエッチング液を用いてエッチングを行う。これにより、シリコン窒化膜24上のシリコン酸化膜52がエッチングされ、また、シリコン窒化膜24により覆われていない領域のシリコン酸化膜22がエッチングされる（図5（a）参照）。

【0046】次に、熱酸化法により、高電圧用トランジスタ26を形成する領域に、膜厚6 nmのシリコン酸化膜より成るゲート絶縁膜18を形成する。低電圧用のトランジスタ20が形成される領域にはシリコン窒化膜24が形成されているので、低電圧用のトランジスタ20のゲート絶縁膜16の酸化が抑制される。

【0047】次に、全面に、CVD法により、膜厚80 nmのポリシリコン膜58を形成する。

【0048】次に、フォトリソグラフ技術を用い、ポリシリコン膜58をゲート電極30a、30bの形状にパターニングする。これにより、ポリシリコン膜58より成るゲート電極30a、30bが形成される（図6（a）参照）。

【0049】次に、イオン注入法により、ゲート電極30a、30bに自己整合でシリコン基板10に不純物を導入し、これにより低濃度領域32aを形成する（図6（b）参照）。

【0050】次に、全面に、CVD法により、シリコン酸化膜を形成する。次に、異方性エッチングにより、シリコン酸化膜をエッチングし、これによりゲート電極の側面に、シリコン酸化膜より成るサイドウォール絶縁膜28を形成する。

【0051】次に、サイドウォール絶縁膜28が形成されたゲート電極30a、30bに自己整合で、不純物を高濃度に導入し、これにより高濃度領域32bを形成す

る。こうして、低濃度領域32a及び高濃度領域32bより成るソース/ドレイン拡散層32が形成される(図6(c)参照)。

【0052】次に、サリサイド(SALICIDE、Self-Aligned Silicide)プロセスにより、ゲート電極上にコバルトシリサイド膜より成るシリサイド電極34を形成し、ソース/ドレイン拡散層32上にコバルトシリサイド膜より成るソース/ドレイン電極32を形成する(図7(a)参照)。

【0053】次に、全面に、CVD法により、膜厚300nmのシリコン酸化膜より成る層間絶縁膜38を形成する。次に、CMP法により、層間絶縁膜38の表面を研磨し、これにより層間絶縁膜38の表面を平坦化する。次に、層間絶縁膜38の表面からソース/ドレイン電極36に達するコンタクトホール40を形成する。

【0054】次に、全面に、膜厚100nm/20nmのW/TiNより成る導電膜を形成する。これにより、コンタクトホール40内に導電膜が埋め込まれる。次に、層間絶縁膜38の表面が露出するまで導電膜を研磨し、これにより、コンタクトホール40内に導電膜より成る導体プラグ42を形成する。この後、400℃の熱処理を行う。

【0055】こうして、本実施形態による半導体装置が製造される。

【0056】このように本実施形態によれば、低電圧用のトランジスタのゲート絶縁膜を形成する際に、薄いシリコン酸化膜を形成した後に、上記のような処理を行って、薄くて均一なシリコン窒化膜を形成するので、比誘電率が高く、薄くて均一なゲート絶縁膜を形成することができる。従って、良好な電気的特性の低電圧用のトランジスタを形成することができる。また、低電圧用のトランジスタが形成される領域に形成されたゲート絶縁膜は、表面側にシリコン窒化膜が用いられているので、高電圧用のトランジスタのゲート絶縁膜を形成する際に、低電圧用のトランジスタのゲート絶縁膜が酸化されるのを防止することができる。従って、本実施形態によれば、低電圧用のトランジスタと高電圧用のトランジスタとを併有する半導体装置を製造する場合であっても良好な電気的特性を実現することができる。

【0057】〔第2実施形態〕本発明の第2実施形態による半導体装置及びその製造方法を図10乃至図14を用いて説明する。図10は、本実施形態による半導体装置を示す断面図である。図11乃至図12は、本実施形態による半導体装置の製造方法を示す工程断面図である。図13及び図14は、ゲート絶縁膜を形成する際の膜の表面状態を示す概念図である。図1乃至図9に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0058】(半導体装置) まず、本実施形態による半

導体装置について図10を用いて説明する。

【0059】本実施形態による半導体装置は、低電圧用のトランジスタ20aのゲート絶縁膜66がシリコン窒化酸化膜60、酸化タンタル膜(例えば、 Ta_2O_5 膜)62、及びシリコン窒化膜64により構成されている他は、第1実施形態による半導体装置と同様である。

【0060】本実施形態によれば、酸化タンタル膜62上にシリコン窒化膜64が形成されているので、ポリシリコン膜より成るゲート電極30a、30bと酸化タンタル膜62とが反応してしまうのを防止することができる。また、酸化タンタル膜62とシリコン基板10との間にシリコン酸化膜60が形成されているので、酸化タンタル膜62がシリコン基板10と反応してしまうのを防止することができる。従って、本実施形態によれば、酸化タンタル膜62を低電圧用のトランジスタのゲート絶縁膜66に用いた場合であっても、良好な電気的特性を有する半導体装置を提供することができる。かかるゲート絶縁膜66は、後述する本実施形態による半導体装置の製造方法により形成することができる。

【0061】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図10乃至図14を用いて説明する。

【0062】まず、犠牲酸化膜を除去してシリコン基板10の表面を清浄にする工程までは、図2(a)乃至図3(a)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0063】次に、ゲート絶縁膜66を形成する。本実施形態による半導体装置の製造方法は、ゲート絶縁膜66の形成方法に特徴があるものであり、かかるゲート絶縁膜66は以下のようにして形成することができる。

【0064】まず、図11(a)に示すように、シリコン基板10の表面に、膜厚0.6nm~1nmのシリコン窒化酸化膜60を形成する。成膜条件は、例えばNOと N_2 とを含む雰囲気を用い、成膜温度は例えば800℃とする。なお、シリコン窒化酸化膜60に限定されるものではなく、例えばシリコン窒化酸化膜60の代わりに、シリコン酸化膜を形成してもよい。

【0065】次に、全面に、CVD法により、酸化タンタル膜62を形成する。成膜温度は、例えば450℃とする。こうして酸化タンタル膜62を形成すると、酸化タンタル膜62の表面は、図15(a)に示すように $-TaOH$ で終端される。このような酸化タンタル膜62上に単にシリコン窒化膜を形成した場合には、薄くて均一なシリコン窒化膜を形成することは困難である。従って、本実施形態では、以下のようにして、酸化タンタル膜62上に薄くて均一なシリコン窒化膜64を形成する。

【0066】即ち、シリコンとハロゲンとを含む分子を含む雰囲気中で、熱処理を行う。シリコンとハロゲンとを含む分子としては、例えば $SiCl_4$ を用いる。な

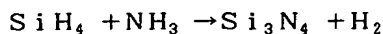
お、シリコンとハロゲンとを含む分子は、 SiCl_4 に限定されるものではなく、例えば SiHCl_3 、 SiH_2Cl_2 、 SiF_4 等を適宜用いることができる。また、反応速度を制御するため、シリコンとハロゲンとを含む分子を含む雰囲気中に希ガスを加えることにより適宜希釈してもよい。

【0067】熱処理条件は、例えば 450°C とすることができる。なお、熱処理温度は 450°C に限定されるものではなく、例えば 400°C ～ 800°C の範囲で適宜設定することができる。このような熱処理を行うと、 $4\text{-TaOH} + \text{SiCl}_4 \rightarrow 4\text{-TaOSiCl} + 4\text{HCl}$ となる反応が生じ、膜の表面は -TaOSiCl で終端される(図15(b)参照)。

【0068】次に、 NH_3 を含む雰囲気中で、熱処理を行う。熱処理条件は、例えば 450°C とする。なお、熱処理温度は 450°C に限定されるものではなく、例えば 400°C ～ 800°C の範囲で適宜設定することができる。このような熱処理を行うと、 $\text{-TaOSiCl} + \text{NH}_3 \rightarrow \text{-TaOSiNH}_2 + \text{HCl}$

となる反応が生じ、膜の表面は -TaOSiNH_2 で終端される(図16(a)参照)。これにより、膜の表面にNが存在することとなるため、このNが後工程でシリコン窒化膜を形成する際の種となる。

【0069】次に、CVD法により、シリコンを含むガスと NH_3 とを含む雰囲気中で、膜厚 3 nm のシリコン窒化膜64を形成する。シリコンを含むガスとしては、例えば SiCl_4 を用いる。なお、シリコンを含むガスは、 SiCl_4 に限定されるものではなく、例えば、 SiHCl_3 、 SiH_2Cl_2 、 SiH_4 、 Si_2H_6 等を適宜用いることができる。また、反応速度を制御するため、シリコンを含むガスと NH_3 とを含む雰囲気中に希ガスを適宜加えることにより希釈してもよい。成膜温度は、例えば 700°C とすることができる。なお、成膜温度は 700°C に限定されるものではなく、所望のシリコン窒化膜64を形成すべく適宜設定することができる。このようにして成膜すると、



となる反応が生じ、シリコン窒化膜64が形成される(図16(b)参照)。

【0070】こうして、シリコン窒化酸化膜60、酸化タンタル膜62、及びシリコン窒化膜64より成るゲート絶縁膜66が形成される(図11(c)参照)。

【0071】次に、全面に、フォトレジスト膜を塗布する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜をパターニングする。これにより、高電圧用トランジスタ26が形成される領域に開口部54が形成されたフォトレジストマスク56が形成される。

【0072】次に、フォトレジストマスク56をマスクとして、異方性エッチングにより、シリコン窒化膜64

をエッチングする(図12(a)参照)。

【0073】次に、フォトレジストマスク56を除去する。次に、フッ酸より成るエッチング液を用い、シリコン窒化膜64をマスクとして、酸化タンタル膜62及びシリコン窒化酸化膜60をエッチングする(図12

(b)参照)。

【0074】次に、熱酸化法により、高電圧用トランジスタ26を形成する領域に、膜厚 6 nm のシリコン酸化膜より成るゲート絶縁膜18を形成する(図12(c)参照)。この際、酸化タンタル膜62上にシリコン窒化膜64が形成されているので、酸化タンタル膜62の酸化が抑制される。

【0075】この後の半導体装置の製造方法は、図5(c)乃至図7(b)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0076】このように本実施形態によれば、酸化タンタル膜上にシリコン窒化膜を形成することができるので、ポリシリコン膜より成るゲート電極が酸化タンタル膜と反応してしまうのを防止することができる。また、シリコン基板と酸化タンタル膜との間にシリコン酸化膜を形成するので、酸化タンタル膜がシリコン基板と反応するのを防止することができる。従って、ゲート絶縁膜に酸化タンタル膜を用いた場合であっても、良好な電気的特性を有する半導体装置を提供することができる。

【0077】[変形実施形態]本発明は上記実施形態に限らず種々の変形が可能である。

【0078】例えば、上記実施形態では、低電圧用のトランジスタと高電圧用のトランジスタとを形成したが、低電圧用のトランジスタのみを形成する場合にも適用することができる。

【0079】また、上記実施形態では、低電圧用のトランジスタと高電圧用のトランジスタとを形成する場合を例に説明したが、本発明は、異なる構造のゲート絶縁膜を形成するあらゆる場合に適用することができる。

【0080】

【発明の効果】以上の通り、本発明によれば、低電圧用のトランジスタのゲート絶縁膜を形成する際に、薄いシリコン酸化膜を形成した後に、上記のような処理を行って、薄くて均一なシリコン窒化膜を形成するので、比誘電率が高く、薄くて均一なゲート絶縁膜を形成することができる。従って、良好な電気的特性の低電圧用のトランジスタを形成することができる。また、低電圧用のトランジスタが形成される領域に形成されたゲート絶縁膜は、表面側にシリコン窒化膜が用いられているので、高電圧用のトランジスタのゲート絶縁膜を形成する際に、低電圧用のトランジスタのゲート絶縁膜が酸化されるのを防止することができる。従って、本発明によれば、低電圧用のトランジスタと高電圧用のトランジスタとを併有する半導体装置を製造する場合であっても良好な電気的特性を実現することができる。

【0081】また、本発明によれば、酸化タンタル膜上にシリコン窒化膜を形成することができるので、ポリシリコン膜より成るゲート電極が酸化タンタル膜と反応してしまうのを防止することができる。また、シリコン基板と酸化タンタル膜との間にシリコン酸化膜を形成するので、酸化タンタル膜がシリコン基板と反応するのを防止することができる。従って、ゲート絶縁膜に酸化タンタル膜を用いた場合であっても、良好な電気的特性を有する半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図7】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図8】本発明の第1実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図（その1）である。

【図9】本発明の第1実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図（その2）である。

【図10】本発明の第2実施形態による半導体装置を示す断面図である。

【図11】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図12】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図13】本発明の第2実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図

（その1）である。

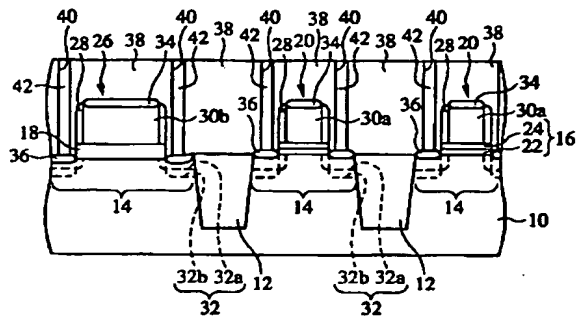
【図14】本発明の第2実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図（その2）である。

【符号の説明】

10…シリコン基板
12…素子分離領域
14…素子領域
16…ゲート絶縁膜
18…ゲート絶縁膜
20…トランジスタ
20a…トランジスタ
22…シリコン酸化膜
24…シリコン窒化膜
26…トランジスタ
28…サイドウォール絶縁膜
30a、30b…ゲート電極
32…ソース/ドレイン拡散層
32a…低濃度領域
32b…高濃度領域
34…シリサイド電極
36…ソース/ドレイン電極
38…層間絶縁膜
40…コンタクトホール
42…導体プラグ
44…シリコン酸化膜
46…シリコン窒化膜
48…溝
50…シリコン酸化膜
52…シリコン酸化膜
54…開口部
56…フォトリソマスク
58…ポリシリコン膜
60…シリコン窒化酸化膜
62…酸化タンタル膜
64…シリコン窒化膜
66…ゲート絶縁膜

【図1】

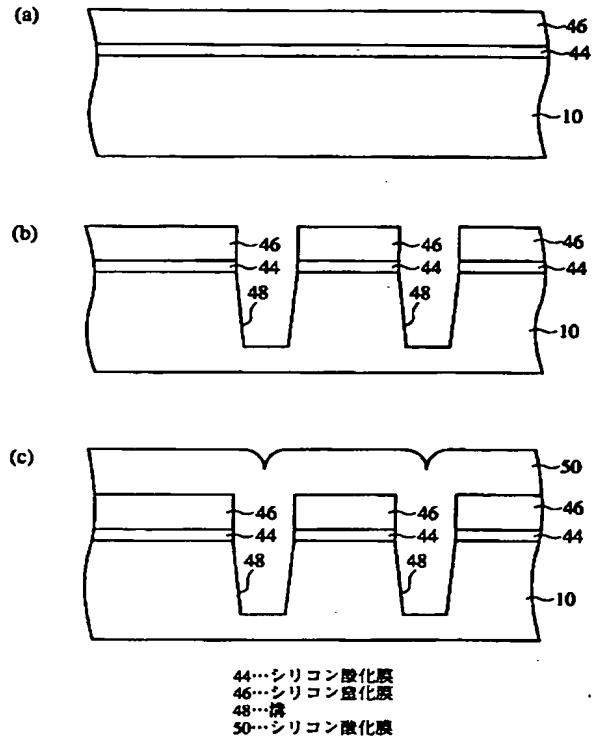
本発明の第1実施形態による半導体装置を示す断面図



10…シリコン基板
12…素子分離領域
14…素子領域
16…ゲート絶縁膜
18…ゲート絶縁膜
20…トランジスタ
22…シリコン酸化膜
24…シリコン窒化膜
26…トランジスタ
28…サイドウォール絶縁膜
30a、30b…ゲート電極
32…ソース/ドレイン拡散層
32a…低濃度領域
32b…高濃度領域
34…シリサイド電極
36…ソース/ドレイン電極
38…層間絶縁膜
40…コンタクトホール
42…導体プラグ

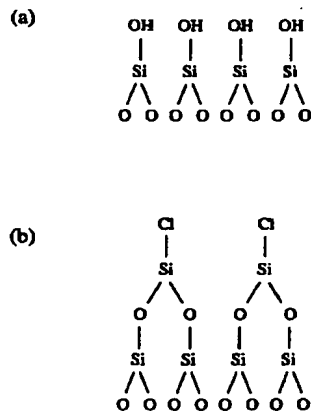
【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）



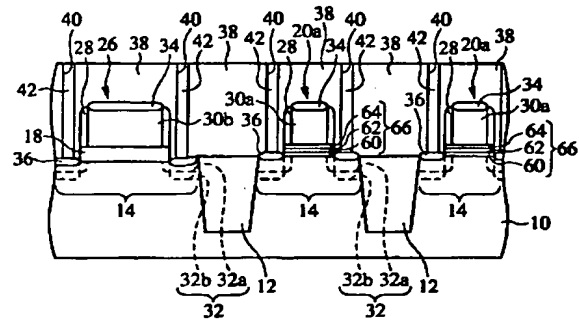
【図8】

本発明の第1実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図（その1）



【図10】

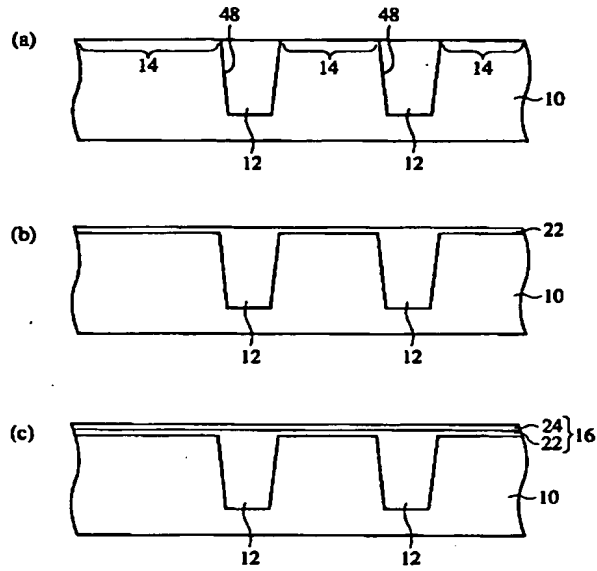
本発明の第2実施形態による半導体装置を示す断面図



20a…トランジスタ

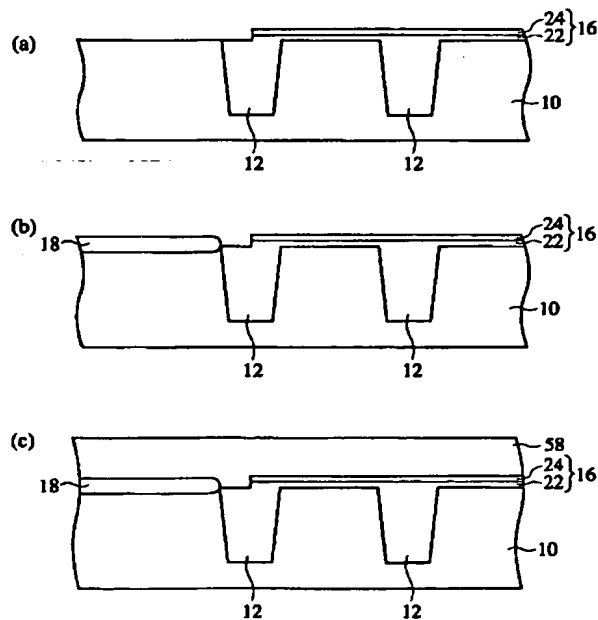
【図3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



【図5】

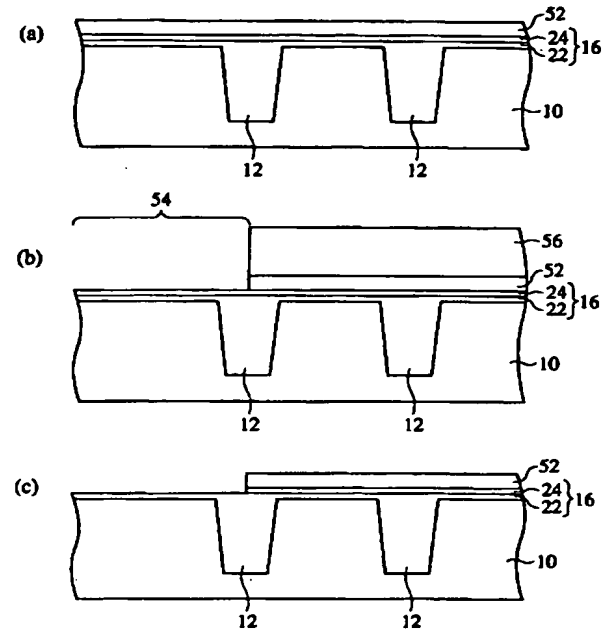
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その4）



58…ポリシリコン膜

【図4】

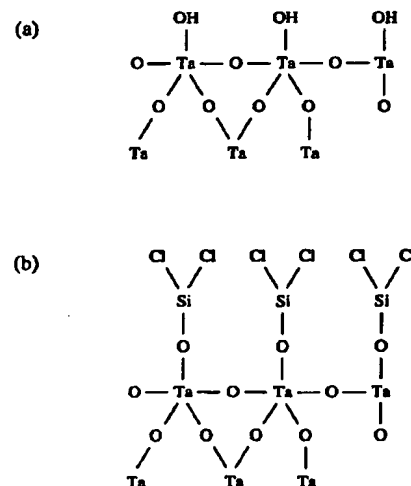
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



52…シリコン酸化膜
54…開口部
56…フォトリソマスク

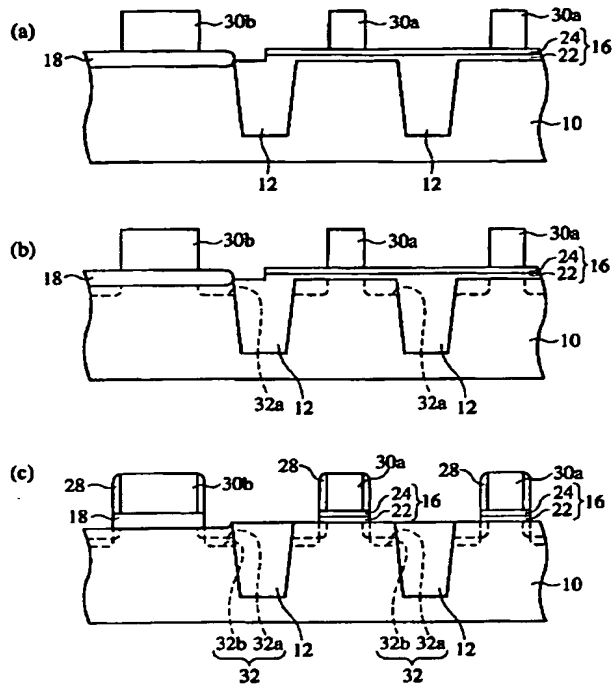
【図13】

本発明の第2実施形態による半導体装置のゲート絶縁膜を
形成する際の膜の表面状態を示す概念図（その1）



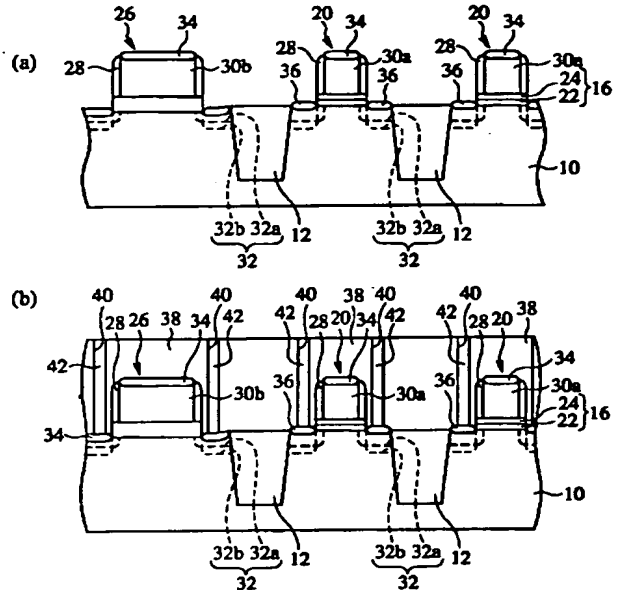
【図6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その5）



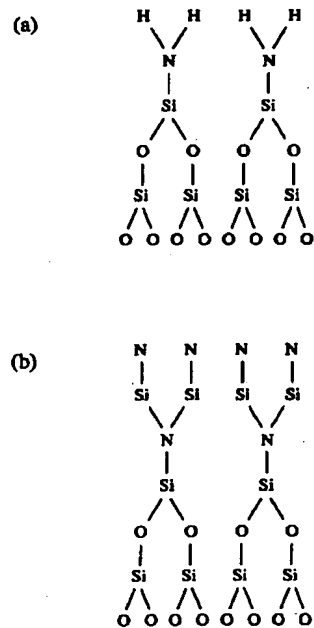
【図7】


本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その6）



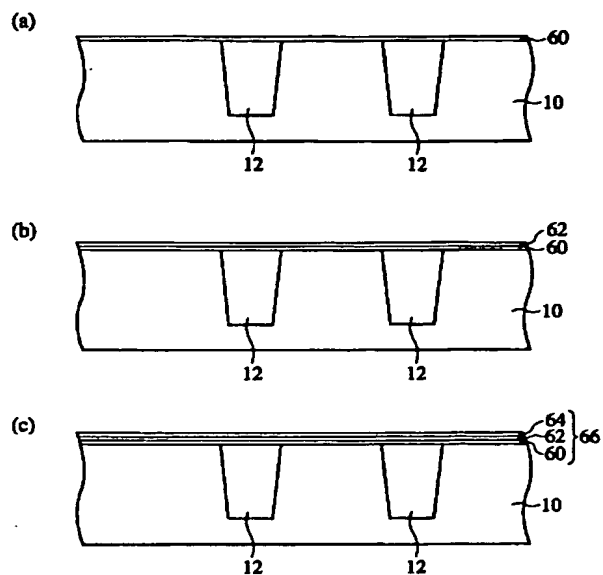
【図9】

本発明の第1実施形態による半導体装置のゲート絶縁膜を
形成する際の膜の表面状態を示す概念図（その2）



【 1 1】

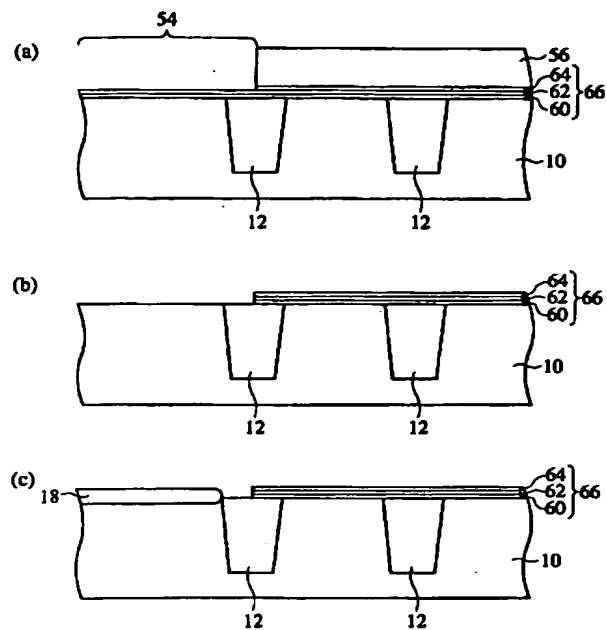
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その1）



60…シリコン窒化酸化膜
62…酸化タンタル膜
64…シリコン窒化膜
66…ゲート絶縁膜

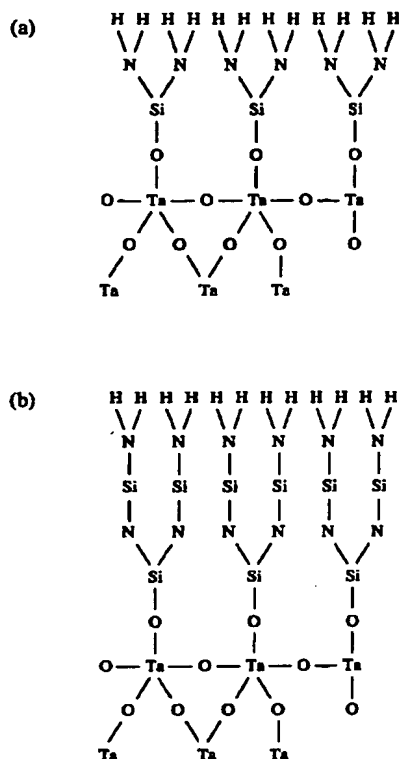
【図12】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その2）



【図14】

本発明の第2実施形態による半導体装置のゲート絶縁膜を形成する際の膜の表面状態を示す概念図 (その2)



フロントページの続き

(72)発明者 森崎 祐輔
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 高崎 金剛
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F040 DC01 EC01 EC04 EC07 EC13
ED01 ED02 ED03 ED05 EF02
EK05 FA03 FA05 FC19 FC21
5F048 AA07 AC01 AC06 BB05 BB08
BB11 BB12 BB16 BB17 BC06
BF06 BF07 BF11 BF16 BG13
DA25
5F058 BA06 BA20 BD01 BD02 BD04
BD05 BD10 BD15 BF24 BF29
BF30 BF55 BF62 BH01 BH20
BJ01 BJ10